

(11) Publication number: **09064321 A**(43) Date of publication of application: **07.03.97***No*

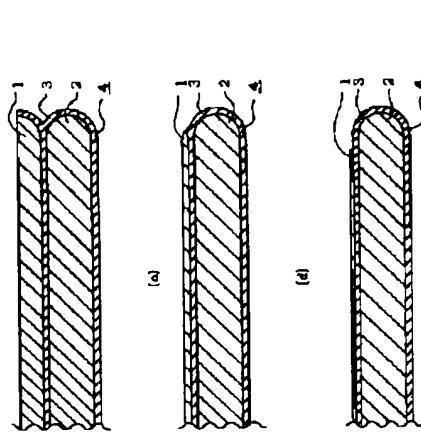
(51) Int. Cl **H01L 27/12**
H01L 21/02
H01L 21/304
H01L 21/306
H01L 29/786
H01L 21/336

(21) Application number: 07254424	(71) Applicant: KOMATSU ELECTRON METALS CO LTD
(22) Date of filing: 24.08.95	(72) Inventor: NAKAYOSHI YUICHI ISHII AKIHIRO YAMAMOTO HIROAKI

(54) MANUFACTURE OF SOI SUBSTRATE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method of manufacturing an SOI substrate wherein defects are not present in a peripheral part and manufacturing efficiency can be remarkably improved.



SOLUTION: An active substrate 1 is stuck on a support substrate 2, and a stuck wafer 4 is obtained. The surface of the active substrate 1 is grounded flat. The active substrate 1 is etched by using spin etching. A not-yet-bonded part of the periphery of the stuck wafer 4 is eliminated simultaneously with the thinning of the active substrate 1 by using a PACE working.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9-64321

(43) 公開日 平成 9 年 (1997) 3 月 7 日

(51) Int. Cl.	識別記号	序内整理番号	F 1	技術表示箇所
	H01L 27/12		H01L 27/12	B
	21/02		21/02	B
	21/304	321	21/304	S
	21/306		21/306	B
	29/786		29/78	D
		審査請求 未請求 請求項の数 4 書面 (全 4 頁) 最終頁に続く		

(21) 出願番号 特願平 7-254424

(71) 出願人 000184713

コマツ電子金属株式会社

(22) 出願日 平成 7 年 (1995) 8 月 24 日

神奈川県平塚市四之宮 2612 番地

(72) 発明者 中吉 雄一

宮崎県宮崎郡清武町大字木原 1112 番地
九州コマツ電子株式会社内

(72) 発明者 石井 明洋

宮崎県宮崎郡清武町大字木原 1112 番地
九州コマツ電子株式会社内

(72) 発明者 山本 博昭

宮崎県宮崎郡清武町大字木原 1112 番地
九州コマツ電子株式会社内

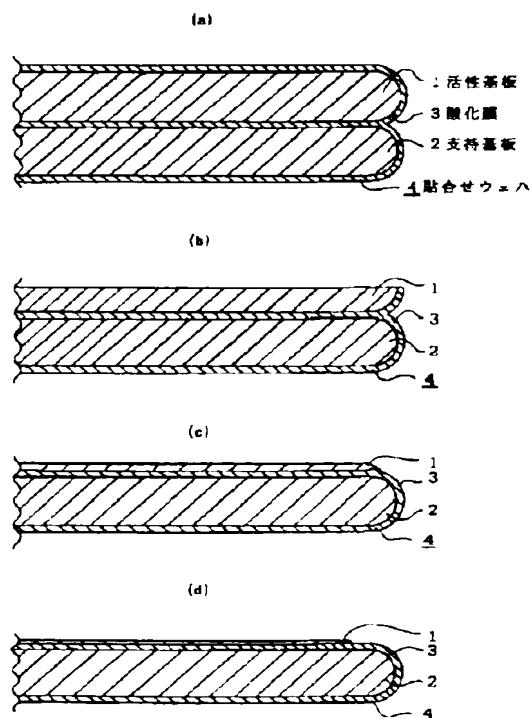
(74) 代理人 弁理士 衛藤 彰

(54) 【発明の名称】 S O I 基板の製造方法

(57) 【要約】

【課題】 周縁部の欠陥がなく、且つ製造効率を著しく向上させることができる S O I 基板の製造方法を提供する。

【解決手段】 活性基板 1 と支持基板 2 を貼り合わせ貼合せウェハ 4 を得る。活性基板 1 を平面研削する。スピシエッティングにより活性基板 1 をエッティングする。P A C E 加工により活性基板 1 を薄膜化と同時に、貼合せウェハ 4 の周縁部の未接着部分を除去する。



【特許請求の範囲】

【請求項 1】 活性基板となる半導体ウェハと支持基板となる半導体ウェハを貼り合わせた貼合せウェハを、 PACE 加工することにより活性基板を薄膜化して得られる SOI 基板の製造方法において、貼合せウェハ周縁部の未接着部分の除去を PACE 加工により行うことを特徴とする SOI 基板の製造方法。

【請求項 2】 次の工程からなることを特徴とする SOI 基板の製造方法。

(1) 活性基板となる半導体ウェハと支持基板となる半導体ウェハを貼り合わせて貼合せウェハを得る貼り台わせ工程。

(2) 貼合せウェハの活性基板を平面研削する平面研削工程。

(3) 平面研削された活性基板をスピニエッティングによりエッティングするエッティング工程。

(4) エッティングされた活性基板を PACE 加工により薄膜化すると同時に、周縁部の未接着部分を除去する PACE 加工工程。

【請求項 3】 スピニエッティングのエッティング液が混酸であることを特徴とする請求項 2 記載の SOI 基板の製造方法。

【請求項 4】 混酸が、フッ酸、硝酸、正リン酸及び硫酸からなることを特徴とする請求項 3 記載の SOI 基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、活性基板となる半導体ウェハと支持基板となる半導体ウェハを貼り合わせた貼合せウェハを、 PACE 加工することにより活性基板を薄膜化して得られる SOI 基板の製造方法に関するものである。

【0002】 近年、半導体ウェハは、集積回路の高速化のために SOI 基板の需要が高まりつつある。特に、その高速化をさらに向上させる目的で活性基板を薄膜化させた SOI 基板が多く用いられるようになってきている。この活性基板を薄膜化させた SOI 基板は、従来、次の工程で製造される。

(1) 活性基板 1-1 となる半導体ウェハと支持基板 1-2 となる半導体ウェハを貼り合わせて貼合せウェハ 1-4 を得る(図 2 (a) 参照)。

(2) 貼合せウェハ 1-4 の活性基板 1-1 の周縁部を L 字面取りする(図 2 (b) 参照)。

(3) L 字面取りされた貼合せウェハ 1-4 をアルカリエッティングし、周囲の酸化膜 1-3 と周縁部の未接着部分を除去する(図 2 (c) 参照)。

(4) アルカリエッティングされた貼合せウェハ 1-4 の活性基板 1-1 を平面研削し、厚みを減ずる(図 2 (d) 参照)。

(5) 平面研削された活性基板 1-1 を研磨し、更に厚み

を減ずる(図 2 (e) 参照)。

(6) 研磨された活性基板 1-1 を PACE 加工により薄膜化する(図 2 (f) 参照)。

【0003】

【発明が解決しようとする課題】 しかしながら、上記した製造方法によるとエッティングレートのコントロールが難しく、周縁部の欠陥が発生しやすいという問題があった。また、 L 字面取り及びアルカリエッティングといったリードタイムの長い工程があるため、その製造数には限界があり、効率が悪いという問題があった。本発明は、上記問題に鑑みなされたもので、周縁部の欠陥がなく、且つ製造効率を著しく向上させることができる SOI 基板の製造方法を提供することを目的とするものである。

【0004】

【課題を解決するための手段】 このため本発明では、活性基板となる半導体ウェハと支持基板となる半導体ウェハを貼り合わせた貼合せウェハを、 PACE 加工することにより活性基板を薄膜化して得られる SOI 基板の製造方法において、貼合せウェハ周縁部の未接着部分の除去を PACE 加工により行うようにしたものである。また、 SOI 基板の製造方法を、活性基板となる半導体ウェハと支持基板となる半導体ウェハを貼り台わせ貼合せウェハを得、貼合せウェハの活性基板を平面研削し、平面研削された活性基板をスピニエッティングによりエッティングし、エッティングされた活性基板を PACE 加工により薄膜化すると同時に、周縁部の未接着部分を除去するようにしたものである。

【0005】

【発明の実施の形態】 次に、本発明に係る SOI 基板の製造方法の各実施例を図面に基づき説明する。図 1 は本発明に係る SOI 基板の製造方法の各工程における貼合せウェハを示す部分側断面図、図 2 は従来技術の SOI 基板の製造方法の各工程における貼合せウェハを示す側断面図である。

【0006】 まず、本発明に係る SOI 基板の製造方法について説明する。

(1) 図 1 (a) に示すように、従来技術と同様に活性基板 1 となる半導体ウェハと支持基板 2 となる半導体ウェハを貼り台わせ、その周囲に酸化膜 3 を形成させた貼合せウェハ 4 を得る。

(2) 図 1 (b) に示すように、活性基板 1 を平面研削し、その厚さが 1.5 μm 程度になるまで厚さを減ずる。

(3) 図 1 (c) に示すように、さらにスピニエッティングにより厚さが 3 μm 程度になるまで活性基板 1 をエッティングする。

(4) 図 1 (d) に示すように、厚さが 0.1 ~ 0.2 μm になるまで PACE 加工により活性基板 1 を薄膜化する。この際、 PACE 加工のプログラムを活性基板 1 の周縁部を除去するように設定し、薄膜化と同時に貼合せウェハ 4 の周縁部の未接着部分を除去する。

【0007】スピニエッティングに使用されるエッティング液は、エッティングレート及び加工ムラを防止する理由から混酸が好適であり、例えば、フッ酸、硝酸、正リン酸及び硫酸の混合液などがある。

【0008】この製造方法によれば、従来技術の製造方法にあったし字面取り及びアルカリエッティングといった工程を省くことができ、これにより製造時間を大幅に減らすことができる。また、スピニエッティングは従来技術

の研磨に比し、リードタイムが少ないため、より製造効率が向上できる。

【0009】

【実施例】次に、本発明に係る具体的実施例を示す。表1は、本発明の製造方法と従来技術の製造方法との製造効率における違いを示す表である。

【表1】

S O I 基板 1, 0 0 0 枚当たりの加工時間

工程	製造方法		加工時間
	従来技術	本発明	
L字面取り	128時間	—	—
アルカリエッティング	70時間	—	—
平面研削	50時間	50時間	50時間
研磨	250時間	—	—
スピニエッティング	—	42時間	—
P A C E 加工	84時間	117時間	—
合計	582時間	209時間	—

この表1からわかるように、S O I 基板 1 0 0 0 枚を生産するにあたり、およそ 582 時間かかっていたものが、本発明の製造方法によると、およそ 3 分の 1 のわずか 209 時間しかかからず、大幅な効率の向上が見られる。

【0010】

【発明の効果】本発明では以上のように構成したので、従来技術より加工工程を減らすことができ、これにより製造効率を大幅に向上できるという優れた効果がある。また、貼合せウェハ周縁部の未接着部分の除去をP A C E 加工により行うため、従来技術のエッティングでは発生しやすかった周縁部の欠損を少なくすることができるという優れた効果がある。

【図面の簡単な説明】

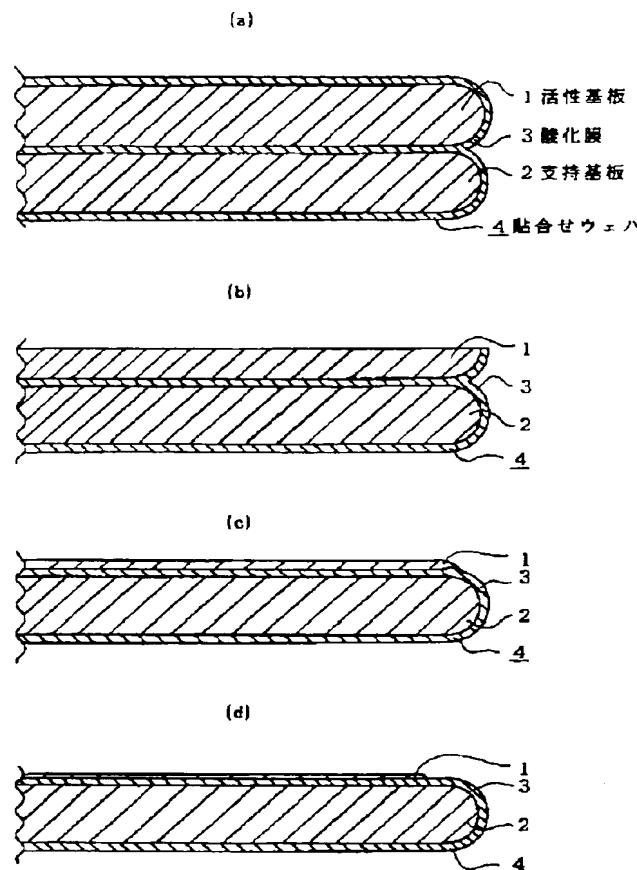
【図1】本発明に係るS O I 基板の製造方法の各工程における貼合せウェハを示す部分側断面図ある。

【図2】従来技術のS O I 基板の製造方法の各工程における貼合せウェハを示す側断面図ある。

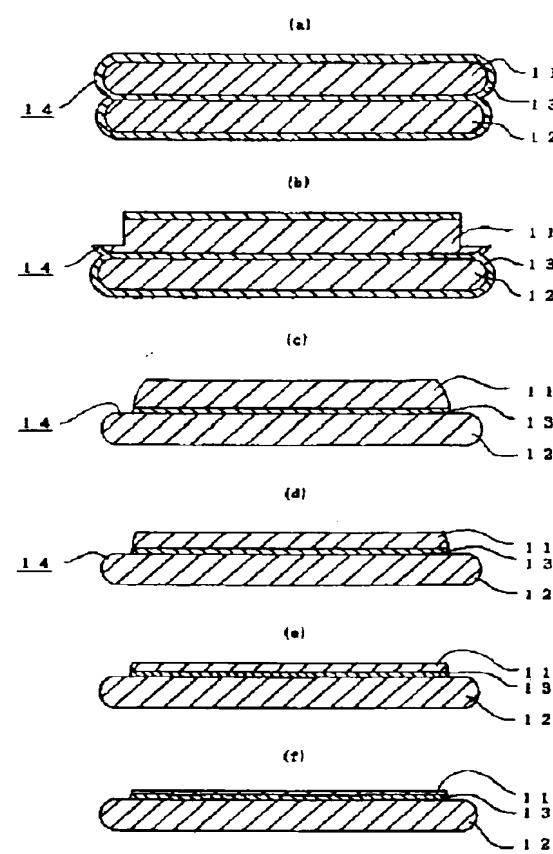
【符号の説明】

40	1	活性基板
	2	支持基板
	3	酸化膜
	4	貼合せウェハ
	1 1	活性基板
	1 2	支持基板
	1 3	酸化膜
	1 4	貼合せウェハ

【図 1】



【図 2】



フロントページの続き

(5) Int. Cl. 6

21/336

識別記号

府内整理番号

F I

技術表示箇所